

14669808

Basic Patent (No,Kind,Date): EP 867833 A2 19980930 <No. of Patents: 005>

Patent Family:

Patent No	Kind	Date	AppliC No	Kind	Date	
EP 867833	A2	19980930	EP 98302222	A	19980324	(BASIC)
EP 867833	A3	20000607	EP 98302222	A	19980324	
JP 10269345	A2	19981009	JP 9778025	A	19970328	
JP 2879670	B2	19990405	JP 9778025	A	19970328	
US 6088490	A	20000711	US 47378	A	19980325	

Priority Data (No,Kind,Date):

JP 9778025 A 19970328

PATENT FAMILY:

EUROPEAN PATENT OFFICE (EP)

Patent (No,Kind,Date): EP 867833 A2 19980930
APPARATUS FOR PROCESSING TWO-DIMENSIONAL INFORMATION (English; French;
German)

Patent Assignee: PRESIDENT OF HIROSHIMA UNIVERS (JP)
Author (Inventor): IWATA ATSUSHI (JP); NAGATA MAKOTO (JP)

Priority (No,Kind,Date): JP 9778025 A 19970328

AppliC (No,Kind,Date): EP 98302222 A 19980324

Designated States: (National) DE; FR; GB

IPC: * G06T-001/20

Derwent WPI Acc No: * G 98-498121; G 98-498121

Language of Document: English

Patent (No,Kind,Date): EP 867833 A3 20000607

APPARATUS FOR PROCESSING TWO-DIMENSIONAL INFORMATION (English; French;
German)

Patent Assignee: PRESIDENT OF HIROSHIMA UNIVERS (JP)
Author (Inventor): IWATA ATSUSHI (JP); NAGATA MAKOTO (JP)

Priority (No,Kind,Date): JP 9778025 A 19970328

AppliC (No,Kind,Date): EP 98302222 A 19980324

Designated States: (National) AT; BE; CH; DE; DK; ES; FI; FR; GB; GR;
IE; IT; LI; LU; MC; NL; PT; SE

IPC: * G06T-001/20

Derwent WPI Acc No: * G 98-498121

Language of Document: English

EUROPEAN PATENT OFFICE (EP)

Legal Status (No,Type,Date,Code,Text):

EP 867833 P 19970328 EP AA PRIORITY (PATENT
APPLICATION) (PRIORITAET (PATENTANMELDUNG))
JP 9778025 A 19970328

EP 867833 P 19980324 EP AE EP-APPLICATION
(EUROPAEISCHE ANMELDUNG)
EP 98302222 A 19980324

EP 867833 P 19980930 EP AK DESIGNATED CONTRACTING
STATES IN AN APPLICATION WITHOUT SEARCH
REPORT: (IN EINER ANMELDUNG OHNE
RECHERCHENBERICHT BENANNTEN VERTRAGSSTAATEN)

DE FR GB
EP 867833 P 19980930 EP AX ERSTRECKUNG DES
EUROPAEISCHEN PATENTS AUF (ZAHLUNG VON
BENENNUNGSGEBUEHREN)
AL;LT;LV;MK;RO;SI

EP 867833 P 19980930 EP A2 PUBLICATION OF APPLICATION
WITHOUT SEARCH REPORT (VEROEFFENTLICHUNG DER
ANMELDUNG OHNE RECHERCHENBERICHT)

EP 867833 P 19980930 EP 17P REQUEST FOR EXAMINATION
FILED (PRUEFUNGSANTRAG GESTELLT)
980415

EP 867833 P 20000607 EP AK DESIGNATED CONTRACTING
STATES IN A SEARCH REPORT: (IN EINEM
RECHERCHENBERICHT BENANNTEN VERTRAGSSTAATEN)

AT BE CH DE DK ES FI FR GB GR IE IT LI LU MC
NL PT SE

EP 867833 P 20000607 EP AX ERSTRECKUNG DES
EUROPAEISCHEN PATENTS AUF (ZAHLUNG VON
BENENNUNGSGEBUEHREN)
AL;LT;LV;MK;RO;SI

EP 867833 P 20000607 EP A3 SEPARATE PUBLICATION OF THE
SEARCH REPORT (ART. 93) (GESONDERTE
VEROEFFENTLICHUNG DES RECHERCHENBERICHTS
(ART. 93))

EP 867833 P 20010214 EP AKX PAYMENT OF DESIGNATION FEES
(ZAHLUNG VON BENENNUNGSGEBUEHREN)
DE FR GB

JAPAN (JP)

Patent (No,Kind,Date): JP 10269345 A2 19981009
TWO-DIMENSIONAL INFORMATION PROCESSOR (English)
Patent Assignee: UNIV HIROSHIMA
Author (Inventor): IWATA ATSUSHI; NAGATA MAKOTO
Priority (No,Kind,Date): JP 9778025 A 19970328
Applic (No,Kind,Date): JP 9778025 A 19970328
IPC: * G06T-001/00; G06T-009/20
Derwent WPI Acc No: * G 98-498121
Language of Document: Japanese
Patent (No,Kind,Date): JP 2879670 B2 19990405
Patent Assignee: UNIV HIROSHIMA
Author (Inventor): IWATA ATSUSHI; NAGATA MAKOTO
Priority (No,Kind,Date): JP 9778025 A 19970328
Applic (No,Kind,Date): JP 9778025 A 19970328
IPC: * G06T-001/00; H04N-001/21
Language of Document: Japanese

UNITED STATES OF AMERICA (US)

Patent (No,Kind,Date): US 6088490 A 20000711
APPARATUS FOR PROCESSING TWO-DIMENSIONAL INFORMATION (English)
Patent Assignee: PRESIDENT OF HIROSHIMA UNIVERS (JP)
Author (Inventor): IWATA ATSUSHI (JP); NAGATA MAKOTO (JP)
Priority (No,Kind,Date): JP 9778025 A 19970328
Applic (No,Kind,Date): US 47378 A 19980325
National Class: * 382312000; 382317000
IPC: * G06K-007/00
Derwent WPI Acc No: * G 98-498121
Language of Document: English

UNITED STATES OF AMERICA (US)

Legal Status (No,Type,Date,Code,Text):				
US 6088490	P	19970328 US AA	PRIORITY (PATENT)	
		JP 9778025 A 19970328		
US 6088490	P	19980325 US AE	APPLICATION DATA (PATENT)	
		(APPL. DATA (PATENT))		
		US 47378 A 19980325		
US 6088490	P	20000711 US A	PATENT	

(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

第2879670号

(45)発行日 平成11年(1999)4月5日

(24)登録日 平成11年(1999)1月29日

(51)Int.Cl.

G 0 6 T 1/00
H 0 4 N 1/21

識別記号

F I

G 0 6 F 15/66
H 0 4 N 1/21

J

請求項の数10(全 10 頁)

(21)出願番号 特願平9-78025

(22)出願日 平成9年(1997)3月28日

(65)公開番号 特開平10-269345

(43)公開日 平成10年(1998)10月9日

審査請求日 平成9年(1997)3月28日

(73)特許権者 391012648

広島大学長

広島県東広島市鏡山1丁目3番2号

(72)発明者 岩田 穆

広島県東広島市鏡山2-360 広大ががら第2宿舎1-301

(72)発明者 永田 真

広島県広島市安佐南区西原2-9-37
第3森下ビル504

(74)代理人 弁理士 鈴江 武彦 (外5名)

審査官 後藤 彰

(56)参考文献 特開 昭50-41407 (JP, A)

特開 昭57-95768 (JP, A)

特開 平4-176173 (JP, A)

特開 平6-215593 (JP, A)

最終頁に続く

(54)【発明の名称】 2次元情報処理装置

1

(57)【特許請求の範囲】

【請求項1】 2次元にマトリクス状に配置された複数の単位セル回路と、ここで前記単位セル回路は2次元情報の所定部分の情報量を検出する検出器と、前記検出器で検出された情報量を記憶する記憶回路を含み検出された情報量または記憶された情報量に応じたパルス幅を有するパルス幅変調信号を生成し出力する信号処理回路とを有し、マトリクスの列方向に延伸し対応する列の前記単位セル回路にそれぞれ接続する複数の第1のバスラインと、マトリクスの行方向に延伸し対応する行の前記単位セル回路にそれぞれ接続する複数の第2のバスラインと、前記第1のバスラインのうち少なくとも1のバスラインを選択し、選択されたバスラインを通して少なくとも1の前記パルス幅変調信号を読み出す手段を有することを特徴とする2次元情報処理装置。

2

給する手段と、前記第2のバスラインのうち少なくとも1のバスラインを選択し、選択されたバスラインを通して少なくとも1の前記パルス幅変調信号を読み出す手段を有することを特徴とする2次元情報処理装置。

【請求項2】 前記制御信号はランプ信号を含み、前記パルス幅変調信号は前記ランプ信号の電圧上昇開始時に立ち上がり、前記検出器の検出した情報量により定まる電圧と前記ランプ信号の電圧が一致する時に立ち下がる信号であることを特徴とする請求項1記載の2次元情報処理装置。

【請求項3】 前記2次元情報は光情報であり、前記検出器は光検出器であることを特徴とする請求項1または請求項2に記載の2次元情報処理装置。

【請求項4】 前記第1のバスラインを選択する手段は

前記第1のバスラインのうち任意の1のバスラインを指定する手段を含み、前記読み出す手段は指定された列の1個または複数の単位セル回路において生成されたパルス幅変調信号を前記第2のバスラインを通して読み出す手段を含むことを特徴とする請求項1乃至請求項3のうちいずれか1項に記載の2次元情報処理装置。

【請求項5】 前記第1のバスラインを選択する手段は前記第1のバスラインを順次スキャンするように選択して順次ランプ信号を供給する手段を含み、前記読み出す手段は前記第2のバスラインを通し生成されたパルス幅変調信号を順次読み出す手段を含むことを特徴とする請求項1乃至請求項3のうちいずれか1項記載の2次元情報処理装置。

【請求項6】 前記信号処理回路は前記パルス幅変調信号を出力する電流源駆動の出力回路を有し、前記第1のバスラインを選択する手段は各バスラインを同時に選択してランプ信号を供給する手段を含み、前記読み出す手段は行方向の各単位セル回路から出力されたパルス幅変調信号電流をバスラインで加算し、電荷の形で行方向の各単位セル回路から出力されたパルス幅変調信号による情報の和を求める手段を含むことを特徴とする請求項1乃至請求項3のうちいずれか1項記載の2次元情報処理装置。

【請求項7】 検出された情報量に所定の係数を掛けてパルス幅変調信号として出力するために、前記第1のバスラインにそれぞれ供給される前記ランプ信号は前記所定の係数に対応する所定の傾きをそれぞれ有することを特徴とする請求項6記載の2次元情報処理装置。

【請求項8】 前記読み出す手段は前記所定の係数が正または負の極性を有する場合には正係数と負係数に分けて和をもとめた後に両者の差を求める手段を有することを特徴とする請求項7記載の2次元情報処理装置。

【請求項9】 前記第2のバスラインはそれぞれ前記係数が正の場合の出力を受ける正極性バスラインと前記係数が負の場合の出力を受ける負極性バスラインを有し、前記読み出す手段は正極性バスラインで加算された電流と負極性バスラインで加算された電流との差を求める手段を有することを特徴とする請求項7記載の2次元情報処理装置。

【請求項10】 前記2次元情報のパターンエッジの存在と位置を求めるために、前記第1および第2のバスライン選択手段は隣接する2つの単位セル回路を選択し、前記読み出す手段は前記2つの単位セル回路から出力されたパルス幅変調信号のパルス幅の差を求め閾値と比較する手段を有することを特徴とする請求項1乃至請求項3および請求項6のうちのいずれか1項記載の2次元情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は2次元の画像・図形

の入力情報を圧縮して記憶し、通信するマルチメディア情報処理システムや、又、画像・図形の特徴を抽出して認識する高度な知能処理システムなどを実現するエレクトロニクス分野に関する。

【0002】

【従来の技術】 従来より、コンピュータや信号処理システムに使用されるLSIについては、集積規模の増大と動作速度の高速化が要求されてきた。これまでのLSIではデジタル化の方向が主流であり、アナログ回路が必要な場合にはアナログ回路とデジタル回路のインターフェースのADまたはDA変換器を用いるのが一般的であった。しかし、このようなデジタルLSIの大規模化および高速動作化においては消費電力の増加が性能向上に対する制限となっていた。

【0003】 これまでの画像や図形処理システムでは、イメージセンサーによって情報を入力し、その出力をAD変換器でデジタル信号に変換し、それをデジタルシグナルプロセッサやマイクロプロセッサを用い処理する構成が用いられてきた。しかしデジタル回路を用いた情報処理システムは、精度や動作の安定性においては最も優れているが、トランジスタを非線形のスイッチング素子として使っているため多數の素子を必要とする。そして、システムの規模を拡大し動作速度を上げると消費エネルギーが増加して、性能向上が制限されるという問題を有する。デジタル回路による情報処理アーキテクチャは基本的に逐次処理であり、2次元のデータを並列に処理したり、神経回路網で用いられる多入力の演算には適さないという欠点があった。

【0004】 一方、アナログ回路はトランジスタを増幅器などの線形素子として用い、時間遅れ、振幅遅延のアナログ信号を扱う。アナログ回路は物理の基本法則を用いて演算するので、デジタル回路と比較すると1桁から2桁少ない素子で同様の機能を実現でき、そして現象を比較的概略的に把握して比較判断する能力に優れ、さらに並列に動作するのにも適している。しかし、高精度の情報処理は実現しにくい。現在使われているアナログ・デジタル混載回路ではADまたはDA変換が性能の制限になり、又、デジタル回路からアナログ回路へ回り込んでくる雑音（クロストーク雑音）がその性能を制限する。

【0005】 最近重要度を増している画像や図形処理イメージセンサーとしては入力情報をアナログの電荷量として扱うCCDデバイスが主に用いられている。しかし、製造プロセスが特殊であり、信号処理を行うためのCMOS論理回路を集積化するのに適さないという欠点がある。

【0006】

【発明が解決しようとする課題】 以上述べたような問題点を解決し、集積規模の増大と動作速度の高速化が達成された超大規模なシステムを実現するためには革新的な

アーキテクチャや回路技術の進歩が必要になっている。したがって、本発明は、前記従来の問題点に鑑みてなされたもので、画像・図形などの2次元情報検出、情報圧縮処理、特徴抽出処理を並列に実行する情報処理装置などに用いられるものである。本発明は高度な画像・図形情報処理に汎用的に適用でき、人間の知能に迫る高性能で省エネルギーの情報処理装置を提供することを目的とする。

【0007】より具体的には、2次元のPN接合光検出器を入力デバイスとするイメージセンサーやイメージセンサーそれ自身に画素間の処理機能を持つ機能イメージセンサー、2次元情報を並列処理して情報圧縮する装置、2次元図形・画像の特徴を抽出して認識する装置、ロボットの視覚、図形の認識装置、さらに顔や指紋の照合処理装置等に使用される2次元情報処理装置に使用されるLSI、特にCMOS LSIに関し、LSIの素子数を少なくしてチップ面積を縮小する共に処理能力を向上し、しかも消費エネルギーの低減を図るものである。

【0008】

【課題を解決するための手段】上記目的を達成するために、本発明の2次元情報処理装置は、2次元に行列状に配置された単位セルに光学的あるいは電気的に書き込まれた2次元の情報を記憶させ、所定の単位セルに選択的にランプ波形電圧を供給して、ランプ波形電圧の上昇開始時刻に立ちあがり、記憶された情報量に対応する電圧と供給されたランプ波形の電圧が一致する時刻に立ち下がるパルス幅変調(PWM)信号を発生させるものである。そして、各単位セルからのPWM信号出力を行または列ごとに並列に複数のラインに接続するものである。

【0009】かかる構成を含むことにより、例えば、情報をスキャンして読み出す2次元情報処理装置、行または列ごとに和を演算して出力する装置、積和演算による空間フィルタ演算を加えて出力する装置、エッジの位置を検出して出力する装置、行または列ごとにエッジ数の和を演算して出力する装置など種々の機能を有する装置が実現される。以下詳細に説明する。

【0010】本発明の2次元情報処理装置は、2次元にマトリクス状に配置された複数の単位セル回路を有し、ここで、この単位セル回路は2次元情報の所定部分の情報量を検出する検出器と、該検出器で検出された情報量を記憶する記憶回路を含み検出された情報量または記憶された情報量に応じたパルス幅を有するパルス幅変調信号を生成し出力する信号処理回路とを有するものである。このため、マトリクスの列方向に延伸し対応する列の単位セル回路にそれぞれ接続する複数の第1のバスラインと、マトリクスの行方向に延伸し対応する行の単位セル回路にそれぞれ接続する複数の第2のバスラインとを有し、第1のバスラインのうち少なくとも1のバスラインを選択し、選択されたバスラインを通して単位セル

回路にパルス幅変調信号を生成するための制御信号を供給する手段と、第2のバスラインのうち少なくとも1のバスラインを選択し、選択されたバスラインを通して少なくとも1のパルス幅変調信号を読み出す手段を有するものである。

【0011】そして、上記2次元情報処理装置において、該制御信号はランプ信号を含み、パルス幅変調信号はランプ信号の電圧上昇開始時に立ち上がり検出器の検出した情報量により定まる電圧とランプ信号の電圧が一致する時に立ち下がる信号である。また2次元情報として光イメージ情報に適用することができ、この場合、検出器は光検出器である。

【0012】また、第1のバスラインを選択する手段は第1のバスラインのうち任意の1のバスラインを指定する手段を含み、読み出し手段は指定された列の1個または複数の単位セル回路において生成されたパルス幅変調信号を第2のバスラインを通して読み出す手段を含むものである。さらに、2次元パターン等のスキャンを行うため、第1のバスラインを選択する手段は第1のバスラインを順次スキャンするように選択して順次ランプ信号を供給する手段を含み、読み出し手段は第2のバスラインを通じて生成されたパルス幅変調信号を順次読み出す手段を含むものである。

【0013】また、加算処理を実現するため、本発明の信号処理回路はパルス幅変調信号を出力するのに電流源駆動の出力回路を用い、第1のバスラインを選択する手段は各バスラインを同時に選択してランプ信号を加える手段を含み、読み出し手段は行方向の各単位セル回路から出力されたパルス幅変調信号電流をバスラインで加算し、電荷の形で行方向の各単位セル回路から出力されたパルス幅変調信号による情報の和を求める手段を含むものである。

【0014】さらに積和演算を実行するため、加算のために検出された情報に所定の係数を掛けてパルス幅変調信号として出力するために、第1のバスラインにそれぞれ供給されるランプ信号は上記所定の係数に対応する所定の傾きをそれぞれ有するものである。

【0015】また、画像圧縮処理で頻繁に使われる離散的コサイン変換に適用するため、読み出し手段は所定の係数が正または負の極性を有する場合には正係数と負係数に分けて和をもとめた後に両者の差を求める手段を有するものである。さらに、他の方法として、第2のバスラインがそれぞれ係数が正の場合の出力を受ける正極性バスラインと係数が負の場合の出力を受ける負極性バスラインを有し、読み出し手段は正極性バスラインで加算された電流と負極性バスラインで加算された電流との差を求める手段を有するものである。

【0016】そして、本発明は画像や図形の処理に重要な2次元情報のパターンエッジの存在と位置を求めるために、第1および第2のバスライン選択手段が隣接する

2つの単位セル回路を選択し、読み出し手段は2つの単位セル回路から出力されたパルス幅変調信号のパルス幅の差を求める閾値と比較する手段を有するものである。

【0017】

【発明の実施の形態】パルス変調信号は振幅は2値であるが、時間軸の上に情報を乗せた信号であり、パルス幅(PWM)変調信号、パルス位相(PPM)変調信号、パルス密度(PDM)変調信号がある。この中でパルス幅変調(PWM)はパルス幅にアナログ的な情報を持たせた信号で、アナログ信号とデジタル信号の中間に位置する。このPWM信号を用いた回路によりアナログとデジタルの両方の長所を活用したアナログデジタル融合回路を構成することができる。PWM信号は1個のパルスで多ビットの情報を表現するので、データ転送や演算の際に消費するエネルギーが小さい。また、PWM信号を電流値として加算することにより並列に多数の信号の和を演算することができる。並列に加算するので、演算能力が高く、アナログ動作であるために、消費電力が小さい。これらの原理的な構成については電子情報通信学会

英文論文誌(A) IEICE TRANS. FUNDAMENTALS, VOL. E79-A, NO. 2 FEBRUARY 1996 PP. 145 ~157 "A Concept of Analog-Digital Merged Circuit Architecture for Future VLSI's" Atsushi IWATA, Makoto NAGATA に述べられている。

【0018】本発明はこのPWM信号の高精度・低エネルギーの情報伝送および演算能力を利用して

(1) 2次元の記憶部から効率的に情報を取り出すこと、および、(2) 並列演算能力を利用して情報を圧縮、特徴抽出して取り出すものである。(例えば、2次元データの和の演算、積和演算および空間フィルタとしての適用、エッジの検出、およびエッジ数の和の演算など。) 本発明の実施の形態を以下に図面を参照して説明する。以下の詳細な説明および図面の記載において、同様の要素は同様の参照番号により表される。なお、ここに記載された本発明の実施例は単なる一例であり、本発明はここで説明される実施の態様に限定されるものではない。以下の実施例は多様に変形することが可能である。

【0019】実施例(1)

図1(a)に示すように、単位セル回路1を2次元のマトリックス状に配置する。各単位セル回路1はアドレスランプ波形発生回路2から列方向に延伸する複数のアドレス線3に接続している。なお、アドレス線3は他の信号線を含むバスラインの一部として形成することができる。各アドレス線3は選択された各セルにランプ信号およびランプ開始信号を含む制御信号を供給する回路であるアドレスランプ波形発生回路2に接続されている。各単位セル回路1の出力回路は行方向に延伸する複数バスライン4に接続されており、バスライン4はパルス幅変調出力信号を読み出すパルス幅/電荷検出回路5に接続されている。外部からの2次元光情報を入力する場合は

このマトリクス全面に光をあてる。図1(b)には入力した光情報をこの2次元情報処理装置により処理して2次元表示した出力の例が示されている。

【0020】図2(a)に単位セル回路1の構成例を、同(b)にその動作タイミングチャートを示す。単位セル回路1は光検出器6とこれに接続された信号処理回路7を有する。信号処理回路7は、光検出器6で検出された光情報を大きさに対応したパルス幅のPWMパルスを発生する機能を有し、この実施例においては記憶回路

- 10 8、コンパレータ9、AND回路10、および出力回路11を有する。光検出器6として例えばLSI技術で実現できるPN接合やフォトトランジスタを用い、光は電流に変換され一定の期間積分されて電荷として記憶回路8に記憶される。コンパレータ9はこの記憶された電荷により定まる電圧と、アドレス線3を通して供給される直線的に変化するランプ信号の電圧とを比較する。ランプ信号の電圧上昇が開始する時刻にPWM信号を立ちあげ、セルに記憶された電荷により定まる電圧と供給されたランプ信号電圧が一致する時をコンパレータ9で検出してPWM信号を立ち下げる。コンパレータ9およびランプ開始信号線12に接続されたAND回路10はランプ開始信号とコンパレータ9からの出力信号によりPWMパルスの立ち上げ立ち下げ時を制御し、この制御に基づきAND回路10に接続された出力回路11は光検出器6の出力の大きさに対応した幅のPWM信号を発生する。

【0021】なおこの信号処理回路7は任意のタイプのもので良く、光検出器6の出力の大きさに対応した幅のPWM信号を発生する回路であればいかなる構成のもの

- 30 でもあっても良い。なお、単位セルに入力される外部からの2次元情報は光情報のみならず電気情報であってよい。この場合は光検出器6に替えて電気情報を検出する検出器が接続される。また、検出された情報を特に記憶回路に記憶させておくことなく直ちにPWM信号に変換しても良い。

【0022】アドレスランプ波形発生回路2は、所望の列の複数の単位セルにアドレス線3を通してランプ信号を同時に供給する機能を有する。図3に示すように指定されたアドレス線(#1, #4)にランプ信号が順次加えられると、これに接続された単位セル回路の情報を行ごとにPWM信号として読み出すことができる。この動作により任意の列にランダムアクセスすることができる。

【0023】各セルの情報を順次スキャンして読み出す場合は、ランプ信号を順次アドレス線に供給する。図4に示すように、順次左のアドレス線から各列(#0~#4)にランプ信号を加えるようにすれば、行方向に左から右にスキャンして各列のセル情報をPWMパルスとして出力することができる。この動作は各行に関して並列的に動作可能であるので、2次元情報を高速に情報を読

み出すことができる。また、列方向にも選択信号を設けて1行分出力した後に、次の行を選択するようすれば、2次元情報のシリアルスキャンも可能である。なお、上記各動作において行と列を入れ替えた構成にすることも勿論可能である。

【0024】 PWM信号のダイナミックレンジは最大パルス幅／時間分解能で決る。扱う情報に応じて適當なダイナミックレンジを設定することができるのはいうまでもない。CCDイメージデバイスではアナログの電荷がそのまま転送ライン上で伝送するためにクロストークなどの雑音が発生しやすいが、本発明においては電荷は単位セル内でPWM信号に変換される。PWM信号を用いるとバスラインなど情報を伝達する経路での信号品質の劣化が生じにくい。

【0025】図5に単位セル回路1にCMOSを用いた他の具体的な回路例を示す。(a)はその基本回路の構成であり、光検出器6としてフォトトランジスタ13を使用し、記憶回路8としてシャッタスイッチとしてのMOSトランジスタ16およびコンデンサ17の組合せを用い、コンパレータ9はリセット用の帰還スイッチ15を設けたCMOSインバータ14で構成される。(b)はこの回路のリセット時の動作を示し、(c)は入力積分の動作を示し、(d)は電荷-PWM変換の動作を示す。

【0026】図6にこの回路の動作波形／タイミングチャートを示す。まず回路がリセットされ(図5(b))、コンパレータ9の帰還スイッチ15と記憶回路8のシャッタスイッチ16を導通(ON)にしてインバータ14の閾値電圧のバラツキを補償した電荷がコンデンサ17に蓄えられる。続いて、フォトトランジスタ13により2次元パターンの各画素の対応する光が検出され、検出された光に対応する光電流がシャッタスイッチ16を通してコンデンサ17に蓄えられる(図5(c))。次にシャッタ19からのシャッタ信号によりシャッタスイッチ16をOFFにした後で、アドレスランプ信号をコンデンサ17のもう一方の端子18に加える(図5(d))。コンデンサ17の電荷は保持されるので、ランプ波形の下降につれてインバータの入力電圧も下降し、閾値電圧になるとインバータ14の出力が反転する。PWM信号はランプ波形の立上げ開始時にセットされコンパレータ9の上記反転時にリセットされるフリップフロップ(図示せず)を接続することにより生成することができる。

【0027】上記動作は光入力による電荷の蓄積と、PWM信号の発生をシリアルに実行するようなタイミングで動作させたものであるが、これをバイナリ的に並列動作させることもできる。

【0028】図7に5ライン構成のアドレスランプ波形発生回路2の1実施例を示す。各ラインはそれぞれCMOSスイッチ20、電荷積分用のコンデンサ22、およ

びコンデンサ22の電荷放電時の定電流Iを発生するためのMOSトランジスタ21で構成されている。ランプ制御信号CTがハイレベルになると定電流Iでコンデンサ22の電荷を接地23へ放電するので、コンデンサ22の電圧が直線的に低下する。またCTがローレベルになるとコンデンサ22は急速に充電されてランプ信号は正電源24の電圧Vddになる。ランプ信号(RP0～RP4)の波形の傾きはMOSトランジスタ21のチャネル幅、およびゲートバイアス電圧(VB0～VB4)を制御することにより任意に設定できる。傾きはdV/dt = I/Ctとなる。ただし、Ctはコンデンサ22の容量にランプ信号を供給する配線やそれにつながる負荷回路の寄生容量を加算したものである。各列に加えられるランプ信号(RP0～RP4)は、各列に設けられた同一の回路により生成される。集積回路チップ上では素子の相対バラツキは小さいので、ランプ信号RPの相対精度は高い。

【0029】実施例(2)

実施例(2)は、図8に示すように行方向のセル情報の和を並列演算する実施例(1)の構成において、単位セル回路1のPWM信号を出力する出力回路11を電流源駆動回路25にしたものである。図8(c)において電流源駆動回路25の具体的回路については特に示していないが、所望の電流源駆動回路を用いることができる。なお、(c)においては単位セル回路1の出力回路のみを示し他は省略して記載してある。

【0030】図8(a)は图形情報を行方向および列方向に投影するための回路の構成例であり、図8(b)はそのタイミングチャートである。電流源駆動回路25は出力インピーダンスが高いので、各セルからのパルス電流がバスライン4で加算される。

【0031】アドレスランプ波形発生回路2は各列のアドレス線3に同時にランプ信号を加えてPWM信号出力を発生させる機能を有し、バスライン4の出力電流を積分すると、電荷の形で行方向のすべてのセルの情報の和を求めることができる。この動作により、行方向の各セルの情報をアナログ的に並列に加算できる。加算結果は電荷検出回路/電荷-デジタル変換回路26によりデジタルデータとして出力される。電荷検出回路/電荷-デジタル変換回路26は各バスラインに出力された電荷をそれぞれ検出し、その電荷をデジタル量に変換して出力できる回路ならば任意の構成で良い。

【0032】当然、行と列を入れ替えることにより、列方向の和を並列に演算することもできる。即ち、図8(a)に示すように各行にもアドレスランプ波形発生回路2を、各列にも電荷検出回路/電荷-デジタル変換回路26を接続することができる。加算結果は電荷検出回路/電荷-デジタル変換回路26によりデジタルデータとして出力される。行方向と列方向の加算は適切な制御回路(図示せず)により交互に行われることはいうまで

11

もない。この処理により得られる情報は、図形情報をX方向(図8(a)における横方向)およびY方向(同縦方向)に投影した時のプロファイルであり、図形の特徴情報をとして有用である。

【0033】実施例(3)

実施例(3)は、実施例(2)の構成により積和演算を行うものである。図9に各単位セル1に記憶された情報量(コンデンサの電圧)の値に係数を掛けてそれらの和を出力する場合のタイムチャートを示す。各列に傾きの異なるランプ信号を加えることによって、各セル出力に係数をかけた総和つまり積和演算を実現するものである。ランプ信号の傾きはアドレスランプ波形発生回路2の定電流用のMOSトランジスタ21に掛かるバイアス電圧VBにより制御される。各セルの情報量に対応する電圧はランプ信号と比較されるので、ランプ信号の傾きが大きい程単位セルに蓄積された情報量に掛かる係数は小さく、傾きが小さい程係数が大きいことになる。各PWM信号は電流源出力としてバスライン4を通して電荷として積分される。この電荷量が積和演算の結果となる。これにより、例えば1次元の空間フィルタ演算を並列に実行することができる。当然に、行と列を入れ替えることにより、列方向の積和演算をすることもできる。

【0034】通常の画像圧縮処理で頻繁に使われる離散的コサイン変換においては、コサインの係数をかけて和を求める必要がある。コサインの係数には正負があるので、このような両極性の演算の場合には図10に示すように、正の出力と負の出力をシリアルに出力し、両者の差を求めて符号を付加すればよい。

【0035】又は、図11に示すのように正極性のバス27と負極性のバス28を設けて、係数の極性に応じてどちらかのバスで積分してそれらの差を求ることによっても離散的コサイン変換を実現できる。

【0036】実施例(4)

実施例(4)は実施例(3)において、電荷検出回路/電荷デジタル変換回路26に換えてエッジ検出回路29を接続したものである。かかる構成により2次元パターンのエッジを検出できる。図12に示すように、2種類のバスライン30、31を設け、偶数番目のセルと奇数番目のセルのPWM電流出力をそれぞれ偶数バスライン30と奇数バスライン31に接続する。任意のセルとこれに隣接するセルにランプ信号を与えて、各々のセルのPWM信号出力を偶/奇バスラインを通して排他的論理回路(EXOR回路)32に加えることによりパルス幅の差の演算を行う。このパルス幅が一定の閾値を越えた場合にエッジと認識する。EXOR回路32の出力と偶数バス30/奇数バス31のANDをとることによりエッジの符号(左>右、右>左)を知ることができ。そして、図13(a)に示すように、ランプ信号をアドレスとしてエッジの位置を読み出すことができる。このエッジ情報は画像や図形の処理に極めて重要である。

12

る。

【0037】また図13(b)に示すように、偶数/奇数セルへの2つのランプ波形を行方向に順次スキャンしてEXOR回路32に加えて偶数/奇数セルの出力信号の差を出力し、閾値を越えた出力を2値化回路33で2値化し、そのパルス数を計数回路34で計数することにより、行方向のエッジ数の和を求めることができる。列方向にスキャンすれば列方向のエッジ数の和を求めることもできる。この情報も図形の特徴情報をとして有用である。2値化回路33および計数回路34は任意の回路を用いることができ、また、閾値との比較は任意の比較回路(図示せず)により行われる。

【0038】この動作は各行に対して並列に実行できる。当然、行と列を入れ替えた構成もできる。1次元に投影されたプロファイル、エッジの形、およびエッジの数により図形の特徴が表されるので、これを基準のテンプレートと比較して最も類似したものを見つけることにより、図形の認識機能を実現することができる。

【0039】

20 【発明の効果】以上説明したように、この発明によれば次のような効果を奏する。センサーの2次元のセンサー面上で各セル間の情報を処理するので、従来のシリアルスキャンのCCDイメージセンサーでは実現できないような高度な処理を実現できる。PWM信号によるアナログ・デジタル融合回路を用いているので、素子数を1~2桁少なくて済む。つまり、素子数が少ないので、小チップ面積で経済的に実現できる。多数の入力を並列にアナログ的に演算するので処理能力を1桁以上向上できる。回路ノード数が少なく、電圧遷移頻度が低いので消費エネルギーを1~2桁小さくできる。

30 0.1ミクロン以下の微細なCMOSデバイス技術に適しているので、将来的な知能情報処理システムの基盤技術として産業に大きなインパクトを与えるものと考えられる。

【図面の簡単な説明】

【図1】(a)本発明に係る実施例1の2次元画像センサーを示す図。

(b)2次元画像センサーによる2次元表示した出力を示す図。

【図2】(a)上記2次元画像センサーの単位セル回路を示す図。

(b)単位セル回路の動作タイミングチャートを示す図。

【図3】上記2次元画像センサーにおいて、任意のセルをアドレスして出力出力を読み出す場合の動作タイミングチャートを示す図。

【図4】上記2次元画像センサーにおいて、セルをスキヤンして光検出器出力を読み出す場合の動作タイミングチャートを示す図。

【図5】上記2次元画像センサーのセル回路の具体的構成例を示す図。

13

(a) 基本回路構成を示す図、(b) リセット動作を示す図。

(c) 入力積分動作を示す図、(d) 電荷-PWM変換動作を示す図。

【図6】図5の回路の動作波形/タイミングチャートを示す図。

【図7】(a) 上記2次元画像センサーのセル回路の5ライン構成のアドレスランプ波形発生回路を示す図、および(b) 回路の動作波形を示す図。

【図8】(a) 実施例2の行方向のセル情報の和を並列演算する処理装置の構成を示す図、およびその(b) タイミングチャートを示す図。(c) は電流源駆動であることを示す図。

【図9】上記実施例において行方向に各セル値に係数を掛けて和を出力する場合のタイミングチャートを示す図。

【図10】上記実施例において行方向に各セル値に双極性係数を掛けて和を出力する場合のタイムチャートを示す図。

【図11】正極性のバスと負極性のバスを設けた本発明の実施例を示す図。

【図12】(a) 本発明に係る実施例4のエッジ処理装置の構成例を示す図。(b) は検出結果の例を示す図。

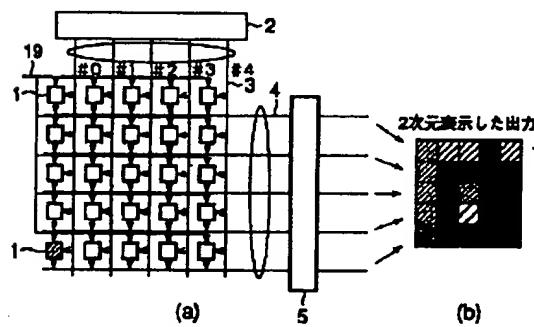
【図13】(a) および(b) は上記実施例におけるエッジ処理動作のタイミングチャートを示す図。

【符号の説明】

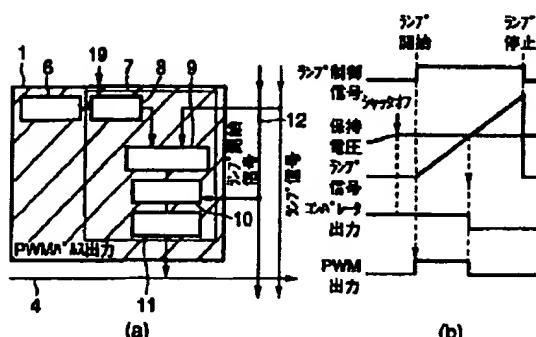
- 1 単位セル回路
- 2 アドレスランプ波形発生回路
- 3 アドレス線
- 4 バスライン

- 5 パルス幅/電荷検出回路
- 6 光検出器
- 7 信号処理回路
- 8 記憶回路
- 9 コンパレータ
- 10 AND回路
- 11 出力回路
- 12 ランプ開始信号線
- 13 フォトトランジスタ
- 14 インバータ
- 15 帰還スイッチ
- 16 シャッタースイッチ
- 17 コンデンサ
- 18 端子
- 19 シャッタ
- 20 CMOSスイッチ
- 21 定電流用のMOSトランジスタ
- 22 コンデンサ
- 23 接地
- 24 正電源
- 25 電流源駆動回路
- 26 電荷検出回路/電荷デジタル変換回路
- 27 正極性のバスライン
- 28 負極性のバスライン
- 29 エッジ検出回路
- 30 偶数バスライン
- 31 奇数バスライン
- 32 EXOR回路
- 33 2値化回路
- 34 計数回路

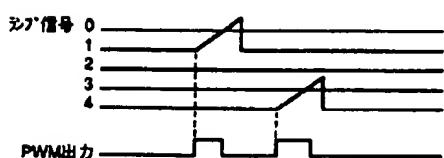
【図1】



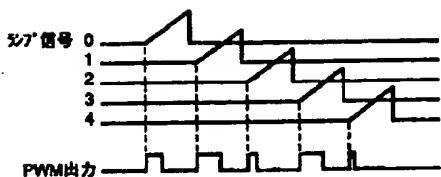
【図2】



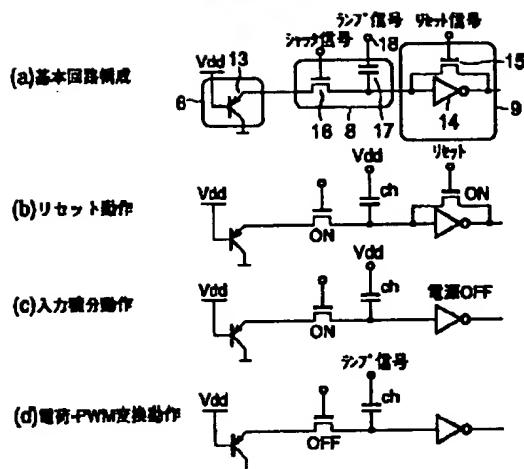
【図3】



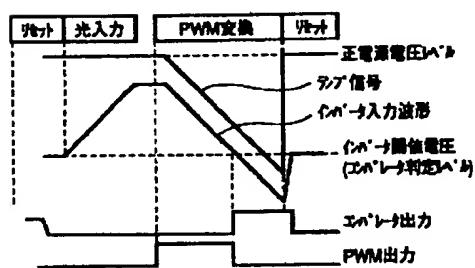
【図4】



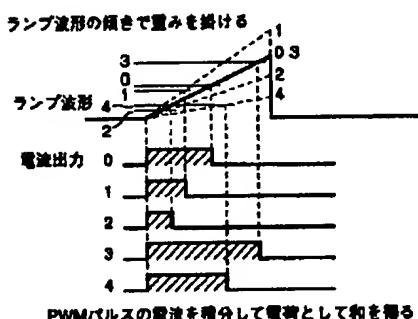
【図5】



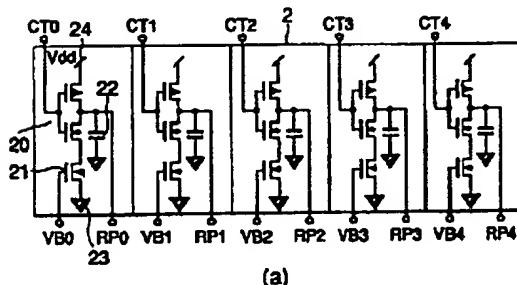
【図6】



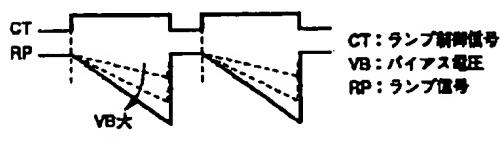
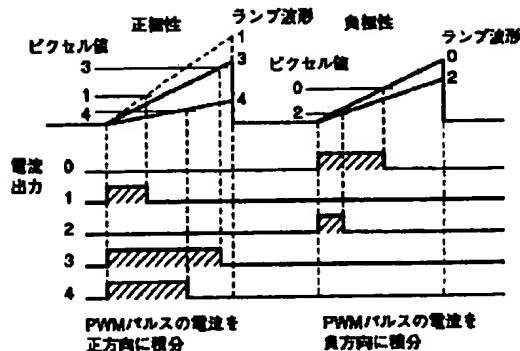
【図9】



【図7】

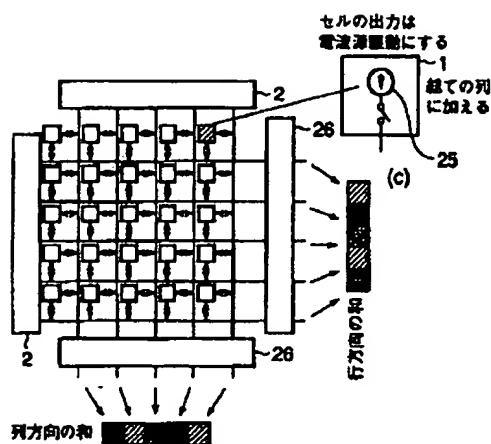


【図10】

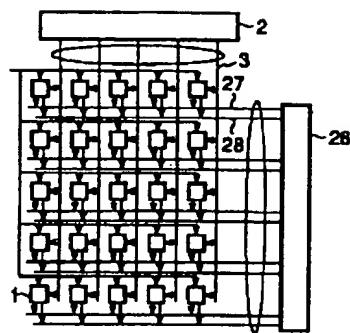


(b)動作波形

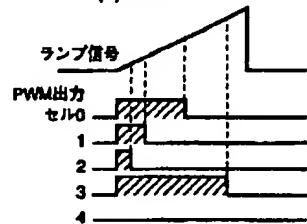
【図8】



【図11】

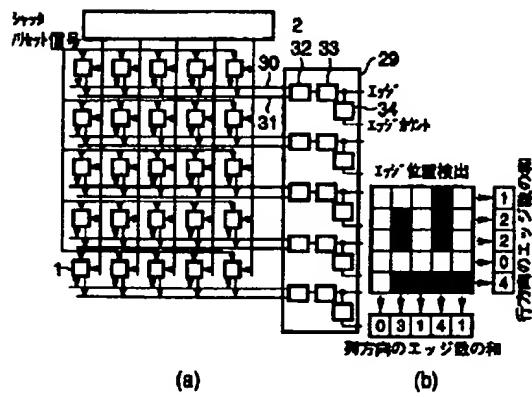


(a)構成例

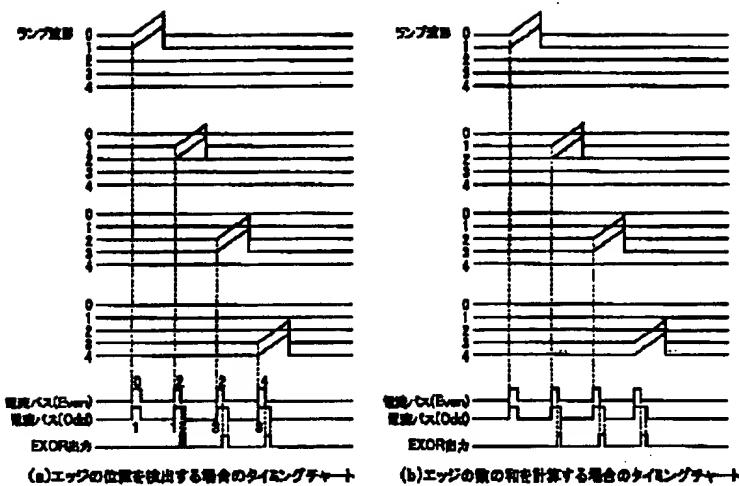


(b)タイミングチャート

【図12】



【図13】



フロントページの続き

(58)調査した分野(Int.Cl.⁶, DB名)

G06T 1/00
 G11C 11/34 - 11/42
 H01L 27/10 - 27/118
 H04N 1/21
 J I C S T ファイル (J O I S)